(19)	KOREAN INTELLECTUAL PROPERTY	OFFICE
(10)	TOTAL WITH LELECTION AS THE STATE OF	0

KOREAN PATENT ABSTRACTS

(11)Publication number:

100183870 B1

(43) Date of publication of application: 16.12.1998

(21)Application number: 1019960018518

(22)Date of filing:

29.05.1996

(71)Applicant:

SAMSUNG ELECTRONICS

(72)Inventor:

CO., LTD. BAE, YONG CHEOL

LEE, JEONG BAE

(51)Int. CI

G11G 11/407

(54) SYNCHRONOUS MIRROR DELAY CIRCUIT

(57) Abstract:

PURPOSE: A synchronous mirror delay circuit is provided to widen an operation domain without increasing a layout area even though an external clock inputted is low frequency.

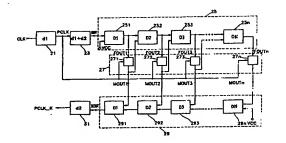
CONSTITUTION: An output buffer(21) delays an external clock(CLK) by the first delay time(d1) and outputs the first internal clock(PCLK). A delay monitoring circuit(23) delays the first internal clock(PCLK) by the second delay time(d1+d2). A forward delay array(25), composed of the first to the nth unit delay(251-25n) connected

sequentially in serial, delays the output(DOUT) of the delay monitoring circuit(23) by the third delay time. A mirror control circuit(27) inverts the output(FOUTi, i="1-n)" of the forward delay array(25) in response to the first internal clock(PCLK). A reverse delay array(29), composed of the first to the nth unit delay(291-29n) connected sequentially in serial, delays the output(MOUTi, i="1-n)" of the mirror control circuit(27) by the third delay time. A clock driver(31) delays the output of the reverse delay array(29) by the fourth delay time(d2) and outputs the second internal clock(PCLK_M)..

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (19981130) Patent registration number (1001838700000) Date of registration (19981216)



등록특허번호 제0183870호(1999.04.15) 1부.

[첨부그림 1]

母0183870

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) int. CL		(45) 공고일자	1999년04월15일	
(51) Int. Cl. G1G 11/407		_ (11) 등록번호	气0183870	
GI IG 11/407	A TOTAL A TOTAL TO THE	· (24) 등록일자	1998년 12월 16일	
·· (21) 출원번호 🌝 🚉 🚈 🎉		(65) 공개번호	母 1997-076843	
(22) 출원일자 1	996년05월29일	(43) 공개입자	1997년12월12일	
	남성진자주식회사 김광호	-		
	병기도 수원시 팔달구 매탄통			
교(72)·발영자 전환교 (2006년) 0	비정배 Arasa Arasa (Arasa Arasa) -	* ** **	words Style Paris	•
	병기도 군포시 산본통 수리한영	양 아파트 810등 501호		
Hilliam Committee and the second of the seco	104			

시출특별시 승파구 오금통 상이이파트 4등 1105호

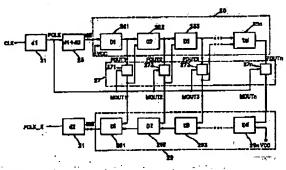
이영필, 권석흡, 노민식

CAR ZIEN

(54) 싱크로너스 미러 달러이 회로

보 범명은 싱크로너스 미러 달레이 최로에 완해 개시한다. 본 발명은 외부물략을 제1지연시간으로 지연시 경 제1대부물략을 출력하는 출력버패와, 상기 제1대부물략을 제2지연시간으로 지연시키는 달레이 모니터 링 회로와, 서로 다른 지연시간을 갖는 제1 내지 제元위지연기(㎡)로 구성되고 상기 달레이 모니터랑 회 로의 출력을 제3지연시간으로 지연시키는 정방향 달레이 아레이와, 상기 제1대부물략에 응답하여 상기 정 방향 달레이 아레이의 출력을 반전시키는 미러 제6회로와, 서로 다른 지연시기는 갖는 제1 내지 제6단위 지연기(㎡)로 구성되고 상기 미러 제6회로의 출력을 제3지연시간으로 지연시키는 역방향 달레이 아레이 와, 상기 역방향:달레이 어레이의 출력을 제4지연시간으로 지연시켜 제2대부물략을 돌력하는 물략 드라이 대를 포함하는 것을 특징으로 한다. 따라서 본 발명은 지주파, 즉 긴 주기를 갖는 외부달략에 확임되는 대부물략을 발생하는 데 적은 수의 단위지연기가 소요되고, 이에 따라 레이아옷 면적이 감소될 수 있다.

OH5



[발명의 명칭]

싱크로너스 미러 달레이 최로

[도면의 간단한 설명]

제1도는 중래의 싱크로너스 미러 달레이 회로의 블럭도.

제2도는 본 방영의 실시에에 따른 싱크로너스 미러 달래이 최로의 블랙도.

제3도는 정방향 딜레이 어레이와 역방향 딜레이 어레이의 단위지연기의 회로도

제4도는 제2도의 성크로너스 미러 달레이 회로의 흉작 타이밍도.

5-1

[밥명의 상세한 설명]

본 발명은 외부에서 공급되는 시스템 클릭에 의해 구동되는 싱크로너스 디캡(Synchronous DRAM)에 관한 것으로, 특히 시스템 클릭에 동기되는 내부클릭을 발생하는 싱크로너스 미러 딜레이(Synchronous Wirror Delay) 회로에 관한 것이다.

용상적으로 성크로너스 디램은, 외부로부터 공급되는 사스템 클릭(이하 외부큠락이라 함)를 버퍼링하여 칩 내부에서 필요로 하는 내부물락을 풀먹하는 플릭버퍼를 포함하고 있다. 내부물락은 외부물락에 동기되 더 컬 내의 각 부분으로 공급되어야 하며, 성크로너스 디랩의 클릭 액세스타임(Clock Access Time, tSA C)를 줄이기 위해서는 내부롭락과 외부름락의 위상치가 작아야 한다.

그러나 상기와 같은 클릭배퍼는 단순히 외부출락을 배퍼링하여 협의 내부에 공급하므로, 외부출락과 내부 클락사이에는 위상차, 즉 스큐(Skor)가 필면적으로 발생한다.

의부플락과 내부플락의 스큐를 청소화하기 위하며 PLL(Phase Lock Loop), DLL(Delay Lock Loop), 등을 사용할 수 있으나, PLL DLL등은 인식시간(Aquisition Time)에 느리고 소비전력(Power Consumption)에 많은 단점이 있다. 따라서 음락 스큐를 최소화하기 위한 많은 연구가 있어왔으며, 그중 대표적인 것이 전압제 이 텔레이라인(Voltage Controlled Delay Line)를 사용하는 성크로너스 틸레이 라인(Synchronous Delay Line, SDL) 회로이다. 또한 최근에는 이를 개선한 상크로너스 미러 텔레이(Synchronous Mirror Delay, SMD) 회로가 성크로너스 디햄에 채용되고 있다.

이를 PLO(Phase Locking Delay)를 이용한 회로들이 갖는 근본적인 문제점은, 저주파, 즉 긴 주기를 갖는 되부름략에 등기되는 내부름략을 발생하기 위해서는 긴 달레이 요소(Delay Flement)의 연결이 필요하며, 이에 따라 레이마옷 면적(Layout Area)이 증가한다는 것이다. 특히 상크로너스 미러 달레이 최로는, 단순 히 논리게이트를로만 구성된 미러 저어회로(Mirror Control Circuit)가 미러 형태의 정방향 달레이 어떤 이(Forward Delay Array, FDA)와 역방한 달레이 어렌이(Backward Delay Array, BDA)의 연결을 제어합으로 써, 싱크로너스 미러 달레이 회로의 합적인 외부름략과 음력인 내부름략의 위상을 막힘(Locking)시킨다. 이 때문에 싱크로너스 미러 달레이 최로는 온도 및 공정변화에 민감하지 않은 장점이 있으나, 입력되는 외부를탁이 자주파일 공무에는 레이마옷 면적이 크게 증가하지 않으면서 동시에 등작성역을 넓은 싱크로 너스 미런 달레이 한국가 판요하다. 너스 미러 달레이 회로가 필요하다.

제1도는 중래의 심크로너스 미러 달레이 최로의 블럭도를 나타낸다.

제1도를 참조하면, 상기 중래의 싱크로너스 미러 달레이 최로에서는, 클릭버퍼(1)가 외부에서 입력되는 외부클릭(DK)을 제1지연시간(d1)으로 지연시켜 제1내부클릭(PCK)을 출력한다. 달레이 모니터링 최로 (3)는 제1배부클릭(PCK)을 제2지연시간(d1+42)으로 지연시켜 출력신호(DOUT)로 출력한다. 여기에서 제2 지연시간은 클릭버퍼(1)에서의 지연시간(d1)과 플릭 드라이버(11)에서의 지연시간(d2)을 합한 시간이 되도록 구성되어 있다.

정방향 달래이 어린이(5)는 미런 제어회로(7)의 출력산호(MOT i, 는 1 내지 n)에 의해 제어되고, 달래 이 모니터링 회로(3)의 출력(COUT)는 제3자연시간으로 지연시켜 출력산호(FOUT i, 는 1 내지 n)로 출력 한다.

미러 제어회로(?)는 제내부를락(PCLK)에 용답하여 정방향 달레이 어레이(5)의 용력신호(FOUT). 1는 1내 지 n)를 반전시켜 출력신호(MUT i, 1는 1 내지 n)로 출력한다. 역방향 달레이 어레이(9)는 미러 제어회 로(?)의 축력신호(MOUT i, 1는 1 내지 n)를 정방향 달레이 어레이의 자연시간과 동일한 제3자연시간으로 지연시켜 출력신호(MOUT)로 ጅ력한다. 제3자연시간은 제1배부를락(PCLK)의 주기에서 제2자연시간(에+42) 를 뺀 시간이 되도록 구성되어 있다. 클락 드리이버(11)는 역방향 달레이 어레이(9)의 출력신호(BOUT)을 제4자연시간(42)으로 자연시켜 외부플락(CLK)에 동기되는 제2개부플락(PCLK)의 출력한다.

상기 정방향 달레이 어레이(5)는 동일한 지연시간(D)을 갖는 제1 내지 제n 단위지연기(51 내지 5n)들의 적립접속으로 구성된다. 상기 미리 제머회로(7)는 제내부물락(PCU)에 용답하여 정방향 달레이 어레이 (5)의 출력신호(FOUT i, i는 1 내지 n)를 각각 반전시키는 제1 내지 제n제머기(71 내지 7n)를 포함한다. 상기 역방향 달레이 어레이(9)는 상기 정방향 달레이 머레이(5)의 단위지연기와 동알한 지연시간(D)을 갖 는 제1 내지 제대단위지연기(91 내지 9n)들의 직물접속으로 구성된다.

상습하였듯이 싱크로너스 미러 달레이 회로가 외부탐락(CLK)에 락킹, 즉 동기되는 제2대부름락(PCLK,))을 발생하기 위해서는, 정방향 달레이 어레이(5)가 제3지언시간, 즉 외부플락(CLK) 또는 제1대부플락(PCLK) 의 주기에서 달레이 모니터링 회로(3)의 지면시간(d+d2)을 뺀 시간 만큼 지면시켜야 한다.

예컨대, 정방향 달레이 어레이(5)의 각 단위지연기가 0.2msec의 동일한 지연시간을 갖고 달레이 모니터링 회로(3)가 2msec의 지면시간을 갖는다면, 40msec 주기(tCC)의 외부플락을 탁킹하기 위해서는 (40-2)/0.2=190단의 단위지연기가 펌요하게 된다.

따라서 상습한 증래의 성크로너스 미러 달레이 회로는 저주파, 즉 주기가 간 외부용력에 동기되는 내부용 탁용 발생하기 위해서는 많은 수의 단위지연기가 필요하게 되어, 레이아웃 면적이 크게 증가하는 문제점 이 있다.

[마라서 본 발명의 목적은 입력되는 외부름략이 저주파일 경우에도 레이아웃 면적이 증가하지 않으면서 등 - 시에 통작영역을 넓할 수 있는 성크로너스 미러 딜레이 회로를 제공하는데 있다.

상기 목적을 당성하기 위한 본 방명에 따른 성크로너스 미러 달러이 최로는, 외부름탁을 제기전시간으로 지면시켜 제1대부물락을 출력하는 클릭버퍼와, 상기 제1대부물락을 제2지면시간으로 지면시키는 달레이 모니터링 최로와, 서로 다른 지면시간을 갖는 제1 내지 제6단위지면(1(c²)가 정방향으로 순차적으로 작합 면결되어 구성되고 상기 달레이 모니터링 최목의 출력을 제3지면시간으로 지연시키는 정방향 달레이 마레 미와, 상기 제1대부물락에 응답하여 상기 정방향 달레이 어레이의 클릭을 반전시키는 미러 제어최로와, 서로 다른 지연시간을 갖는 제1 내지 제6단위지면기(c²)가 역방향으로 순차적으로 직협연결되어 구성되고

상기 미러 제어회로의 음력을 제3지면시간으로 지면시키는 역방향 딜레이 어레이와, 상기 역방향 딜레이 이레이의 출력을 제4지면시간으로 지면시켜 제2내부물락을 출력하는 몸락 드라이버물 포함하는 것을 특징 으로 한다.

바람직한 실시에에 의하면, 상기 정방향 달레이 어레이의 제(1+1)단위지연기의 지연시간은 제1단위지연기 (1는 1 내지 (r-1))의 지연시간보다 크다. 또는 상기 정방향 달레이 어레이의 작수번째 단위지연기의 지 연시간은 서로 동일하고 흡수번째 단위지연기의 지연시간은 서로 동일하며, 작수번째 단위지연기의 지연 시간이 흡수번째 단위지연기의 지연시간보다 크다.

시간이 흡수한째 단위시인기의 시면시간보다 그다. 또한 상기 역방향 당레이 어레이의 제(나)단위지면기의 지면시간이 제(단위지면기()는 나내지 (n-1))의 지연시간보다 크다. 또는 상기 역방향 당레이 어레이의 작수번째 단위지면기의 지연시간이 운수병자 단위지면기의 지연시간이 음수병자 단위지면기의 지연시간은 서로 통합하며, 작수번째 단위지연기의 지연시간이 음수병자 단위지연 기의 지면시간보다 크다. 이하 첨부도면을 참조하여 본 발명의 비탐적한 삼시예를 상세히 설명하고자 한다. 제2도는 본 방명의 실시예에 따른 상크로너스 미러 당레이 최로의 블럭도를 나타낸다.

제2도를 참조하면, 상기 성크로너스 미러 틸레이 최로는, 외부몰락(OLK)을 제1지역시간(d)으로 지역시켜 제1대부름락(POLK)을 출락하는 출락하면 경기 제1대부름락(POLK)을 출락하는 출락하면 경기 제1대부름락(POLK)을 출락하는 출락하면 경기 제1대부름락(POLK)을 제2지역시간 (d)으로 지연시켜는 임레이 모니터링 화로(23)와 서로 다른 지역시간(D) 내지 1대 제대부위자연기 (n2)(25) 내지 25n)가 순차적으로 직원연결되어 구성되고 상기 달러이 모니터링 화로(23)와 음락(DOUT)을 제3지역시간으로 지역시키는 정방향 달레이 마레이(25)와, 상기 제1대부름락(POLK)에 음당하여 상기 정방향 달레이 마레이(25)의 중락(FOUT), 는 1 내지 n)을 반전시키는 미러 제대화로(27)와, 서로 다른 지역시간(D) 내지 0n)을 갖는 제1 내지 제대부위자연기(n2)(20) 내지 2n)가 순차적으로 직원연결되어 구성되고 상기 미러 제대화로(27)와 제대부위자연기(n2)(20) 내지 2n)가 순차적으로 직원연결되어 구성되고 상기 미러 제대화로(27)의 출락(MOUT), 는 1 내지 n)을 제3지역시간(오)으로 지역시키는 역방향 달레이 마레이(23)와 상기 역보한 달레이 마레이(23)의 충락을 제4지역시간(요)으로 지역시키 제2대부들락 (FOLK)와 물 중락하는 물란 드라이네(31)를 포함한다.

(PCLK_M)을 출력하는 용탁 드라이버(31)를 포함한다. 미러 제어회로(27)는 제1대부율탁(PCLK) 및 정방향 달레이 어레이(25)의 출력(FOUT), I는 1 내지 n)을 각각 입력으로 하는 번드게이트로 구성된 제1 내지 제6제머기(27) 내지 27n)를 포함하여 구성된다.

정방향 달레이 어레이(25)의 1+1번째 단위지연기의 지연시간이 1번째(1-1 내지 n-1) 단위지연기의 지연시 간보다 크거나 또는 작수번째 단위지연기의 지연시간이 흡수번째 단위지연기의 지연시간보다 크게 구성된 다. 정방향 달레이 어레이(25)의 제1단위지연기(251)의 두 압력은 달레이 모니터링 회로(23)의 출력 (000T) 및 공급전압(Yec)에 접속되고, 제2 내지 제n단위지연기(252 내지 25n)의 두 압력은 진단의 단위지 연기의 출력 및 미러 제어회로(27)의 제1 내지 제(n-1)(271 내지 27(n-1))제어기의 각 출력(#00T 1 내지 제(m-1))에 제어기의 각 출력(#00T 1 내지 MOUT (n-1))에 접속된다.

역방향 달레이 어레이(29)의 i+1번째 단위지연기의 지역시간이 i번째(i=1 내지 n-1) 단위지연기의 지연시 간보다 크거나 또는 작수번째 단위지연기의 지역시간이 흡수번째 단위지연기의 지역시간보다 크게 구성된다. 역방향 달레이 어레이(29)의 제대단위지연기(29n)의 두 압력은 미러 제어회로(27)의 제대제어기(27n)의 출력(MOUT n) 및 공급전압(Vcc)에 접속되고, 제1 내지 제(n-1)단위지연기(281 내지 28(n-1))의 두 압력은 호단의 단위지연기의 울력 및 미러 제어회로(27)의 제1 내지 제(n-1)제어기의 각 출력(MOUT n) 내지 제(n-1)에 지속되고 1 세계 제 대표(n-1)에 제 대표(n-1)에 대표(n MOUT(n-1))에 접속된다.

제3도는 제2도의 정방향 딜레이 어레이와 역방향 딜레이 어레이의 단위지연기의 회로도로서, 두개의 압력 (INI,IN2)를 갖는 낸드게이트(NO)와 샌드게이트(NO)의 충력을 인배팅하는 인배터(I)로 구성된다. 정방향 딜레이 어레이와 역방향 딜레이 어레이의 각 단위지연기의 서로 다른 지연시간은 낸드게이트(NO)와 인배터(I)의 트랜지스터 크기를 조절하고 RC 지연요소를 참가함으로써 조절함 수 있다.

제4도는 제2도의 성크로너스 미러 달래이 회로의 동작 타이밍도로서, 제4도를 참조하여 동작을 살펴보면 다음과 같다.

외부에서 입력되는 외부클락(CLK)은 제1지역시간(di) 만큼 지연되어 제1내부클락(PCLK)으로 출력된다, 제 내부클락(PCLK)은 달레이 모니터링 최로(경)에서 제2지역시간(di+d2) 만큼 지연되어 플럭(ROUT)으로 출 력된다. 제1내부클락(PCLK)의 ሎ번째 논리 하이인 구간이 정방향 달레이 머레이(25)을 통해 진당다가 제 3지연시간(CC-di-d2, tCC는 PCLK의 주기)후에 정방향 달레이 머레이(25)의 반째(i는 1 URS n) 단위지 연기의 출력(FOUT 1)이 논리 하이인 경우, 어때 제1대부플락(PCLK)의 (c+1)번째 논리 하이인 구간이 발생 되면, 미러 제대회로(27)의 반대 제대기의 출력(MOUT i)은 논리로우가 된다.

다음에 미러 제어최로(27)의 1번째 제어기의 출력(MOUT 1)은 역방향 달래이 어래미(29)를 통해 전달되어 제3지면시간(tCC-d1-d2, tCC는 PCLK의 주기)후에 출력(BUT)으로 출력된다. 역방향 달래이 어래미(29)의 습력(BOUT)는 물략 드라이버(31)에서 제4지면시간(d2) 만큼 지연되어 제2대부물략(PCLK)비)으로 슬릭된다.

[[마라서 제2배부룔락(PCIK_M)은 외부듈락(CLK)으로부터 약 2tCC 만큼 지연되어 위상이 탁킹(Locking)된다. 즉 제2배부듈락(PCIK_M)이 외부듈락(CLK)에 동기되게 된다.

따라서 상승한 본 방영에 따른 성크로너스 미러 달레이 회로는, i가 증가함에 따라 정방향 달레이 어레이 와 역방향 달레이 머레이의 단위지연기의 지연시간이 증가하므로, 저주파, 즉, 긴 주기를 갖는 외부플락 에 탁킹되는 내부클릭을 발생하는데 적은 수의 단위지연기가 소요되고, 이에 따라 레이아웃 면적이 감소 될 수 있다.

(5) 원구의 법위

청구한 1

외부클릭에 동기되는 내부클릭을 발생하는 성크로너스 미러 달레이 회로에 있어서, 외부클릭을 제 지연시

간으로 지역시켜 제1대부담락을 습력하는 습력배표; 상기 제1대부물락을 제2지역시간으로 지역시키는 달 레이 모니터링 회로; 서로 다른 지역시간을 갖는 제1 내지 제6단위지역기(2)가 정방향으로 순차적으로 적립연결되어 구성되고, 상기 당레이 모니터링 회로의 출력을 제3지역시간으로 지역시키는 정방향 당레이 어레이; 상기 제1대부물락에 용답하여 상기 정방향 당레이 더레이의 흡력을 반전시키는 미러 제어회로: 서로 다른 지역시간을 갖는 제1 내지 제6단위지역기(2)가 역방향으로 순차적으로 직립연결되어 구성되고, 상기 미러 제어회로의 출력을 제3지역시간으로 지역시키는 역방향 당레이 어레이: 상기 역방향 당레이 어레이의 출력을 제4지역시간으로 지역시켜 제2대부끌락을 출력하는 클릭 드라이배를 포함하는 것 함 퇴징으로 하는 성크로너스 미러 달래이 회로.

제 1번에 있어서, 삼기 정방한 팀레이 이러이의 제1 내지 제 단위지연기의 각각의 지연시간은 상기 역방한 팀레이 어려이의 제1 내지 제 단위지연기의 각각의 지연시간과 동일한 것을 특징으로 하는 심크로너스 미 러 딤레이 회로.

청구항 3

제 항에 있어서, 상기 정방향 달레이 어레이의 제(I+1)단위지연기의 지연시간이 제(단위지연기(I는 1 내 지 (n-1))의 지연시간보다 큰 것을 특징으로 하는 싱크로너스 미러 달레이 회로.

BTO 4 . The same of the same o

제1할에 있어서, 상기 정방향 달레이 어레이의 작수번째 단위지연기의 지연시간은 서로 동양하고 홍수번째 단위지연기의 지연시간은 서로 동양하며 휴작수번째 단위지연기의 지연시간이 홍수번째 단위지연기의 지연시간이 홍수번째 단위지연기의 지연시간다 큰 것을 특징으로 하는 성크로너스 미러 달레이 화로

제 I항에 있어서, 상기 역방향 달레이 어레이의 제(I+1)단위지연기의 지연시간이 제I단위지연기(I는 I 내 지 (n-1))의 지연시간보다 큰 것을 특징으로 하는 상크로너스 미러 달레이 회로.

제1항에 있어서, 상기 역방향 달레이 어래이의 작수번째 단위지연기의 지연시간은 서로 동압하고 홀수번째 단위지연기의 지연시간은 서로 동압하며, 작수번째 단위지연기의 지연시간이 홍수번째 단위지연기의 지연시간보다 큰 것을 특징으로 하는 성크로너스 미러 달레이 회로.

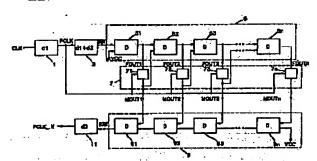
제1항에 있어서, 성기 제2지면시간은 상기 제1지면시간과 상기 제4지면시간을 합한 시간인 것을 특징으로 하는 성크로너스 미러 딜레이 회로.

청구항 8

제1항에 있어서, 상기 제3지면시간은 상기 제1내부름락의 주기의 정수때에서 상기 제2지면시간을 뺀 시간 인 것을 특징으로 하는 성크로너스 미리 딜레이 회로.

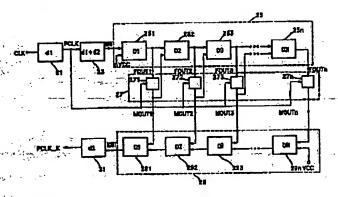
ÇΝ

도명/



18 18 18

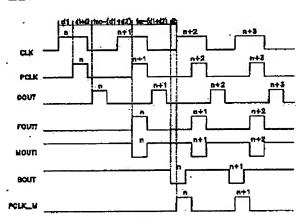
SE12



E DIA



<u> 58</u>4



5-5

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

□ BLACK BORDERS
□ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
□ FADED TEXT OR DRAWING
□ BLURRED OR ILLEGIBLE TEXT OR DRAWING
□ SKEWED/SLANTED IMAGES
□ COLOR OR BLACK AND WHITE PHOTOGRAPHS
□ GRAY SCALE DOCUMENTS
□ LINES OR MARKS ON ORIGINAL DOCUMENT
□ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

IMAGES ARE BEST AVAILABLE COPY.

OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.